

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

1587
(6)

MENU

SEARCH

INDEX

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 05198523

(43)Date of publication of application: 06.08.
1993

(51) Int. Cl.

H01L 21/265
H01J 37/317(21)Application number:
04007357

(71)Applicant: MATSUSHITA ELECTRON CORP

(22)Date of filing: 20.01.1992 (72)Inventor: FUJII SHINJI

(54) ION IMPLANTATION METHOD AND ION IMPLANTATION DEVICE

(57)Abstract:

PURPOSE: To neutralize only the surface section of a semiconductor substrate irradiated with an ion beam, and lower the quantity of applied electrons required for suppressing the electrostatic breakdown of a gate oxide film by applying electrons to a semiconductor substrate in ion implantation, and also, applying high frequency to it.

CONSTITUTION: Boron ions are implanted to form source and drain regions at an n-type silicon substrate exposed in an ion implantation window 26. Concurrently with this, electrons are applied to a semiconductor substrate 15 by an electron shower device 18. Furthermore, high frequency power is applied. If high frequency is applied at the same time when electrons are applied to the semiconductor substrate 15, the section charged strongly positive at the surface of the semiconductor substrate irradiated with an ion beam charged positive is neutralized, whereby the electrostatic breakdown of a gate oxide film 23 can be suppressed. Accordingly, the surface of the semiconductor substrate can be neutralized excellently in equality. Therefore, the gate oxide film breakage ratio can be reduced.

LEGAL STATUS

[Date of request for examination] 24.06.1997
[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for
application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998 Japanese Patent Office

MENU

SEARCH

INDEX

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-198523

(43)公開日 平成5年(1993)8月6日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
H 0 1 L 21/265				
H 0 1 J 37/317	Z	9172-5E		
		8617-4M	H 0 1 L 21/ 265	N
		8617-4M		D

審査請求 未請求 請求項の数2(全 5 頁)

(21)出願番号 特願平4-7357

(22)出願日 平成4年(1992)1月20日

(71)出願人 000005843

松下電子工業株式会社

大阪府門真市大字門真1006番地

(72)発明者 藤井 真治

大阪府門真市大字門真1006番地 松下電子
工業株式会社内

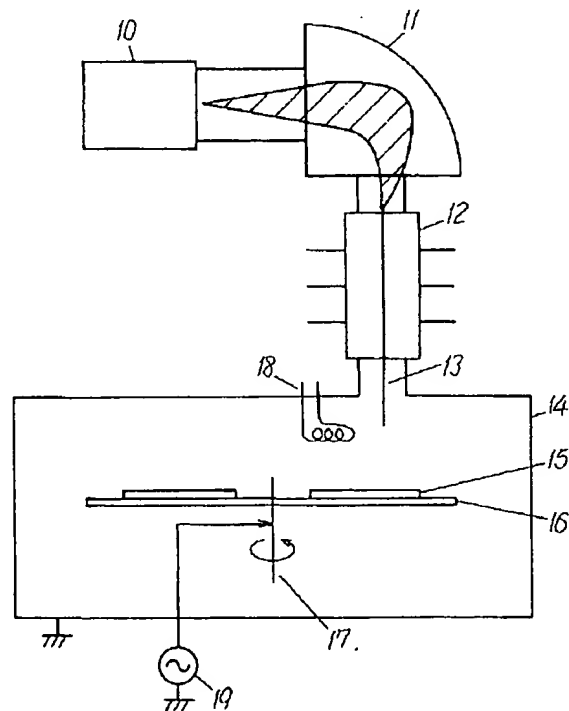
(74)代理人 弁理士 小鍛治 明 (外2名)

(54)【発明の名称】 イオン注入方法及びイオン注入装置

(57)【要約】

【目的】 イオン注入時におけるゲート酸化膜静電破壊を少なくする。

【構成】 半導体基板15に電子シャワー装置18より電子を照射するとともに、高周波電源19(13.56MHz)により高周波電力(13.56MHz、進行波電力20W)を印加する。これにより、イオンビームが当たって半導体基板15の表面の強く正に帯電した部分を効率よく中和することができ、ゲート酸化膜23の静電破壊が抑制される。半導体基板に照射する電子電流は、従来14mAであったものが本発明では6mAとなる。このため、半導体基板15表面の帯電分布の変動が小さくなり、ゲート酸化膜静電破壊の発生のおそれが少なくなる。



【特許請求の範囲】

【請求項1】半導体基板上にホトレジストを塗布しパターンニングを行ってイオン注入遮蔽マスクを形成する工程と、前記半導体基板に所定導電型の不純物をイオン注入する工程と、前記イオン注入と同時に前記半導体基板に電子を照射する工程と、前記イオン注入と同時に前記半導体基板に高周波電力を印加する工程を含むことを特徴とするイオン注入方法。

【請求項2】イオン源と質量分析部とイオン加速部と半導体基板を保持するホルダーを有するイオン注入室と、前記半導体基板に電子を照射する電極と、前記半導体基板に高周波電力を印加する電極と電源を含むことを特徴とするイオン注入装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置製造に用いられるイオン注入方法及びイオン注入装置に関する。

【0002】

【従来の技術】半導体装置製造技術における不純物導入技術であるイオン注入技術は、注入量を正確に制御できるため幅広く用いられている。

【0003】イオン注入技術は、不純物元素をイオン化した後、所望のイオン種を質量分析選択し、所定の加速エネルギーに加速し、半導体基板に必要な不純物を導入する技術である。また、不純物を導入する必要のない領域については前記不純物が前記半導体基板に到達し得ないような十分な阻止能力を持った物質で覆っておく必要がある。このためのマスク材としては、有機感光膜であるホトレジストが一般に用いられている。

【0004】以下、従来の実施例について述べる。図3(a)～(d)は、従来のイオン注入技術を用いて相補型MOS半導体集積回路におけるpチャンネルMOSトランジスタのp型ソース領域とp型ドレイン領域を形成する工程を説明する図である。この例では、半導体基板としてシリコン基板、注入イオン種としてボロンを用いる。図3において、31はn型シリコン基板、32はp型ウェル、33はゲート酸化膜、34は多結晶シリコン層、35はフィールド酸化膜、36はイオン注入窓、37はホトレジストマスク膜、38はイオン注入層、39はp型拡散層である。

【0005】まず、図3(a)に示すように、n型シリコン基板31の内部へnチャンネルMOSトランジスタ形成用のp型ウェル32を選択的に形成する。n型シリコン基板31の表面上の所定部分にゲート酸化膜33と多結晶シリコン層34とからなるゲート電極と、フィールド酸化膜35を形成したのち、ホトレジスト層を1 μ mの厚さで塗布し、露光および現像処理を行う。これによって、イオン注入窓36を有するホトレジストマスク膜(遮蔽膜)37を形成する。その後、160 $^{\circ}$ Cの温度で20分程度の熱処理を施す。

【0006】次いで、図3に示すように、イオン注入窓36の中に露出しているn型シリコン基板部分へソースおよびドレイン領域を形成すべくボロンイオン(B⁺)注入を行う。本従来例では、イオン源ガスとして、三フッ化ボロン(BF₃)を用い、加速エネルギー50KeV、イオンビーム電流6mA、注入量 1×10^{15} cm⁻²の注入を行った。このとき、正に荷電したイオンビームによって、半導体基板表面が正に帯電するチャージアップ現象が生じる。このため、ゲート酸化膜が静電破壊する。この対策として、電子シャワー装置より電子を半導体基板に照射し、チャージアップ電荷を中和することが行われている。なお、注入に要した時間は、約300秒である。

【0007】以上の工程によって、ボロンイオン(B⁺)の注入層38が形成されたn型シリコン基板上のホトレジストマスク膜37を、酸素プラズマ法等を用いて除去することによって図3(c)の状態を得、注入されたボロンイオン(B⁺)を活性化するためのアニールおよび拡散のための熱処理を施すことによって、図3(d)に示すようなソース、ドレインとなるp型拡散層39が形成される。

【0008】

【発明が解決しようとする課題】しかしながら上記のような方法では、正に荷電したイオンビームの当たった半導体基板表面の一部分が強く正に帯電するのに対して、それ以外の部分は強く負に帯電する。イオンビームの当たった半導体基板表面部分のみ十分に中和することができず、ゲート酸化膜静電破壊の対策としては不十分であった。

【0009】本発明は、かかる点に鑑み、イオンビームの当たった半導体基板表面部分のみを十分に中和するイオン注入方法およびイオン注入装置を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明の方法は、半導体基板上にホトレジストを塗布しパターンニングを行ってイオン注入遮蔽マスクを形成する工程と、前記半導体基板に所定導電型の不純物をイオン注入する工程と、前記イオン注入と同時に前記半導体基板に電子を照射する工程と、前記イオン注入と同時に前記半導体基板に高周波電力を印加する工程を含む。

【0011】また、本発明のイオン注入装置はイオン源と質量分析部とイオン加速部と半導体基板を保持するホルダーを有するイオン注入室と、前記半導体基板に電子を照射する電極と、前記半導体基板に高周波電力を印加する電極と電源を備えている。

【0012】

【作用】本発明は、前記した方法により、イオン注入中の半導体基板に電子を照射するとともに、高周波電力を印加することによって、正に荷電したイオンビームのあ

たった半導体基板表面の強く正に帯電した部分を効率よく中和することによって、ゲート酸化膜静電破壊を抑制するために必要な照射量を低下させて、半導体基板表面を均一よく中和する。

【0013】

【実施例】図1は、本発明の第1の実施例における第1のイオン注入装置の構成を説明するための図である。10はイオン源、11は質量分析用マグネット、12はイオン加速部、13はイオンビーム、14はイオン注入室、15は半導体基板、16は回転円盤、17は回転軸、18は電子シャワー装置、19は高周波電源である。

【0014】ここでは、半導体基板としてシリコン基板、注入イオン種としてボロンを用いている。イオン源10から発せられたイオンは、質量分析マグネット11に導かれ、注入に必要なイオンのみが選別される。このイオンは、イオン加速部12により所定のエネルギーまで加速され、イオンビーム13となる。さらにイオン注入室14内の半導体基板15表面に導かれ、注入される。半導体基板15は、回転機構に接続された回転軸17によって保持・回転する回転円盤16上に設置されている。また、半導体基板15に高周波電源19(13.56MHz)が回転軸17および回転円盤16を介して接続されている。また、18は半導体基板15に電子を照射する電子シャワー装置、19は高周波電源である。

【0015】次に、実際の相補型MOS半導体集積回路製造方法の工程を用いて説明する。図2(a)~(d)は、本発明のイオン注入技術を用いて相補型MOS半導体集積回路におけるpチャンネルMOSトランジスタのp型ソース領域とp型ドレイン領域を形成する工程を説明する図である。

【0016】図2において、21はn型シリコン基板、22はp型ウェル、23はゲート酸化膜、24は多結晶シリコン層、25はフィールド酸化膜、26はイオン注入窓、27はホトレジストマスク膜、28はイオン注入層、29はp型拡散層である。

【0017】まず、図2(a)に示すように、n型シリコン基板21の内部へnチャンネルMOSトランジスタ形成用のp型ウェル22を選択的に形成する。n型シリコン基板21の表面上の所定部分にゲート酸化膜23と多結晶シリコン層24とからなるゲートと、フィールド酸化膜25を形成する。このうち、ホトレジストを1μmの厚さで塗布し、露光および現像処理を行うことによって、イオン注入窓26を有するホトレジストマスク膜(遮光膜)27を形成する。その後、160℃の温度で20分程度の熱処理を施す。

【0018】次いで図2(b)に示すように、イオン注入窓26の中に露出しているn型シリコン基板部分へソースおよびドレイン領域を形成すべくボロンイオン(B⁺)注入を行う。

【0019】これと同時に、図1に示される半導体基板15に電子シャワー装置18より電子を照射するとともに、高周波電力(13.56MHz、進行波電力20W)を印加する。ここでは、高周波電源19(13.56MHz)が回転軸17および回転円盤16を介して接続されている。本実施例で示すように半導体基板15に電子を照射すると同時に、高周波電力を印加すると正に荷電したイオンビームのあたった半導体基板表面の強く正に帯電した部分を効率よく中和することによって、ゲート酸化膜23の静電破壊を抑制する。半導体基板に照射する電子電流は、従来14mAであったものが本実施例では6mAとなった。このため、半導体基板15表面の帯電の変動は小さくなり、ゲート酸化膜破壊率は、酸化膜膜厚200Å、ゲート面積10mm²の時、10%から2%へと改善された。

【0020】本実施例では、イオン源ガスとして、三フッ化ボロン(BF₃)を用い、加速エネルギー50KeV、イオンビーム電流6mA、注入量1×10¹⁵cm⁻²の注入を行った。このとき、注入に要した時間は、約300秒である。

【0021】以上の工程で、ボロンイオン(B⁺)の注入量28が形成されたn型シリコン基板上のホトレジスト層27を、酸素プラズマ法等を用いて除去することによって図2(c)の状態を得、注入されたボロンイオン(B⁺)を活性化するためのアニールおよび拡散のための熱処理を施すことによって、図2(d)に示すようなソース、ドレイン29となるp型拡散層が形成される。

【0022】

【発明の効果】以上説明したように本発明によれば、イオン注入中の半導体基板に電子を照射するとともに、高周波電力を印加することによって、正に荷電したイオンビームのあたった半導体基板表面の強く正に帯電した部分を効率よく中和することによって、ゲート酸化膜静電破壊を抑制するために必要な電子の照射量を低下させて、半導体基板表面を均一性よく中和することができる。そのため、ゲート酸化膜静電破壊率を低減することができ、その実用上の効果は大きい。

【図面の簡単な説明】

【図1】本発明の第1の実施例のイオン注入装置の構成図

【図2】同第1の実施例のイオン注入方法の工程断面図

【図3】従来例のイオン注入方法の工程断面図

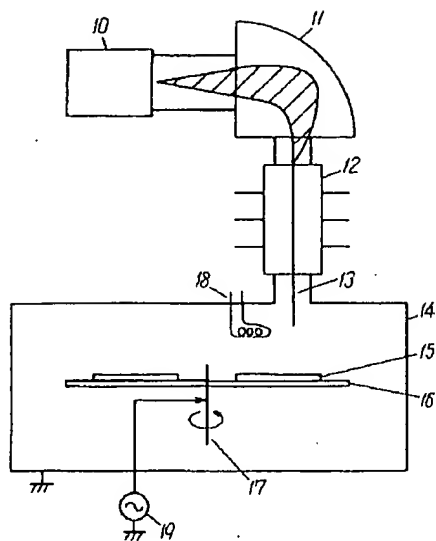
【符号の説明】

- 10 イオン源
- 11 マグネット
- 12 高圧加速部
- 13 イオンビーム
- 14 チャンバー
- 15 半導体基板
- 16 回転円盤

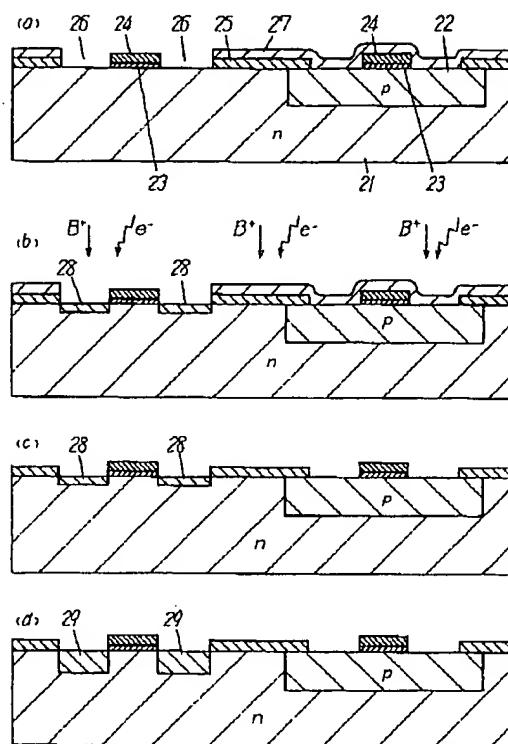
5

17 回転軸
18 電子シャワー装置

【图 1】



【图 2】



【図3】

